

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PCT
 WELTORGANISATION FÜR GEISTIGES EIGENTUM
 Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



(51) Internationale Patentklassifikation 7 : G01R 31/3185	A1	(11) Internationale Veröffentlichungsnummer: WO 00/08479 (43) Internationales Veröffentlichungsdatum: 17. Februar 2000 (17.02.00)
(21) Internationales Aktenzeichen: PCT/DE99/02130 (22) Internationales Anmeldedatum: 9. Juli 1999 (09.07.99) (30) Prioritätsdaten: <div style="display: flex; justify-content: space-between;"> 198 34 976.9 3. August 1998 (03.08.98) DE </div> (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): HUTNER, Franz [DE/DE]; Bruckerstrasse 2, D-85254 Einsbach (DE). (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).	(81) Bestimmungsstaaten: CN, DE, ID, US. Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>	

(54) Title: INTEGRATED CIRCUIT WITH AN INTEGRATED MODULE TEST

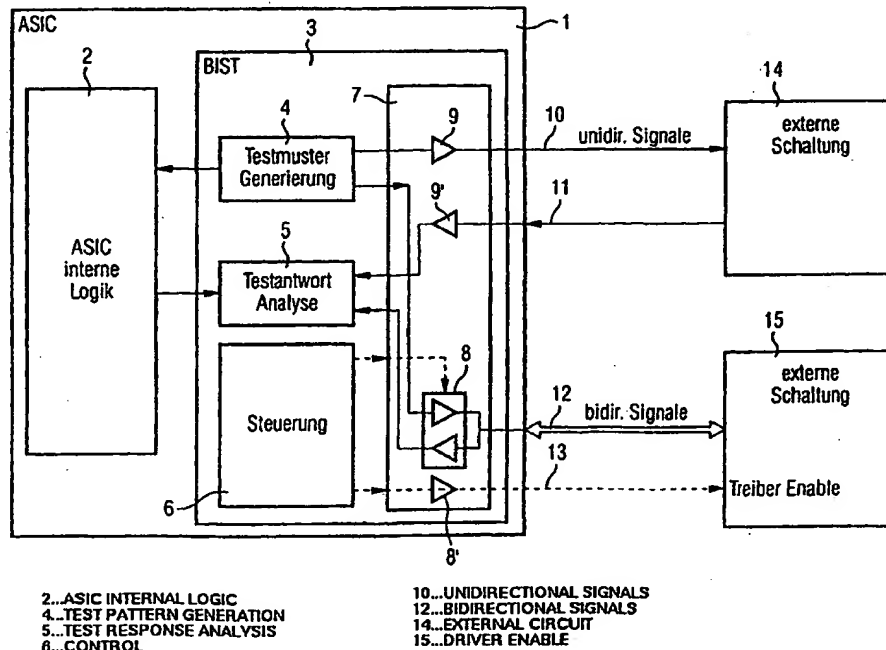
(54) Bezeichnung: INTEGRIERTE SCHALTUNG MIT EINGEBAUTEM BAUGRUPPENTEST

(57) Abstract

The invention relates to an integrated circuit (1), especially an ASIC, comprised of a plurality of logic gates (2). A self-test circuit (3) is provided for conducting an internal self-test of the plurality of logic gates (2). Said self-test circuit comprises a test pattern generator (4) and a test response analyzer (5). In addition, an input/output circuit (7) which is provided in the integrated circuit enables a test of an external circuit (14, 15) to be conducted with the self-test circuit (3), said self-test circuit being integrated in the integrated circuit.

(57) Zusammenfassung

Die Erfindung betrifft eine integrierte Schaltung (1), insbesondere ein ASIC, die aus einer Vielzahl von logischen Gattern (2) besteht. Zum Durchführen eines internen Selbsttests der Vielzahl von logischen Gattern (2) ist eine Selbsttestschaltung (3) vorgesehen, die einen Testmuster-Generator (4) und einen Testantwort-Analysator (5) aufweist. Über eine in der integrierten Schaltung vorgesehene Ein-/Ausgangsschaltung (7) kann mit der in der integrierten Schaltung eingebauten Selbsttestschaltung (3) darüber hinaus ein Test einer externen Schaltung (14, 15) durchgeführt werden.



LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Integrierte Schaltung mit eingebautem Baugruppentest

- 5 Die Erfindung bezieht sich auf eine integrierte Schaltung mit eingebautem Baugruppentest und insbesondere auf eine anwenderspezifische integrierte Schaltung (ASIC) mit einem eingebauten Selbsttest (BIST).
- 10 Eine Vielzahl von herkömmlichen integrierten Schaltungen besitzen bereits einen eingebauten Selbsttest (built-in self-test, BIST) mit dem bei jedem Neu-Einschalten der integrierten Schaltung eine interne Überprüfung der logischen Funktionen der integrierten Schaltung durchgeführt wird.
- 15 Dadurch können kritische Bausteine vor jedem Einsatz im System bzw. in einer bestimmten Hardware-Umgebung getestet werden. Auch integrierte Schaltungen von hoher Komplexität, wie zum Beispiel Prozessoren von INTEL, weisen bereits eine derartige Selbsttestschaltung auf. Diese herkömmlichen
- 20 eingebauten Selbsttestschaltungen (BIST) überprüfen jedoch nur die interne Logik einer integrierten Schaltung. Alle nach außen gehenden Ausgangssignale bzw. von außen anliegenden Eingangssignale werden hierbei konstant gehalten und/oder nicht durchgeschaltet.
- 25 Obwohl dadurch eine Überprüfung der jeweiligen integrierten Schaltungen auf einfache und wirkungsvolle Weise möglich ist, bleibt jedoch ein Großteil der Fehler einer Baugruppe bzw. eines Boards unerkannt, die sich beispielsweise aus
- 30 fehlerhaften Board-Verbindungen, Kontaktfehlern an der Leiterplatte, schlechten Lötstellen, defekten I/O-Anschlüssen der Bausteine usw. ergeben.

2

Derartige Fehler einer Baugruppe werden herkömmlicherweise in zeitaufwendigen Board-Tests erkannt und lokalisiert. Hierbei werden die teilbestückten Leiterplatten auf Fehler überprüft, wobei jedoch kein vollständiger Test der Boards erreicht wurde.

Eine weiterer herkömmlicher Test eines vollständig aufgebauten Systems besteht darin, daß bei jedem Neustart Software-Testroutinen angestoßen werden, die die Baugruppe bzw. das Board funktional testen. Jedoch wird auch bei diesem Verfahren kein vollständiger Test des Boards erreicht. Vielmehr bleibt ein Großteil der möglichen Fehler auf einem Board durch diesen Test unentdeckt, was erst im endgültigen Einsatz zu Ausfällen mit ausserordentlich hohen Kosten führt.

Der Erfindung liegt daher die Aufgabe zugrunde eine integrierte Schaltung gemäß dem Oberbegriff des Anspruchs 1 derart weiterzubilden, daß die Kosten für den Test einer Baugruppe wesentlich verringert werden können.

Diese Aufgabe wird erfindungsgemäß mit den im kennzeichnenden Teil des Patentanspruchs 1 angegebenen Merkmalen gelöst.

Erfindungsgemäß wird die in der integrierten Schaltung eingebaute Selbsttestschaltung somit nicht nur zum Testen der internen Logik sondern auch zum Testen der auf der Baugruppe befindlichen externen Logik verwendet. Insbesondere werden hierbei die Ein-/Ausgangsanschlüsse der integrierten Schaltung nicht konstant gehalten, sondern über eine Ein-/Ausgangsschaltung das in der Selbsttestschaltung erzeugte Testmuster auch an die extern angeschlossenen Bausteine der Baugruppe ausgegeben und eine empfangene Testantwort dieser

externen Bausteine mit der eingebauten Selbsttestschaltung (BIST) ausgewertet.

Vorzugsweise besitzt die Selbsttestschaltung einen Testmuster-Generator zum Erzeugen eines Testmusters bzw. einer Signatur in Form von Pseudo-Random-Vektoren sowie einen Testantwort-Analysator zum Auswerten der von der internen Logik und/oder externen Logik kommenden Testantwort. Durch die Verwendung von bereits bekannten Testmuster-Generatoren und Testantwort-Analysatoren kann bei minimalem Aufwand und mit geringstem Platzbedarf in der integrierten Schaltung eine Selbsttestschaltung realisiert werden, die sowohl die interne als auch die externe Logik in der Baugruppe testet.

Vorzugsweise wird die interne Logik und die externe Logik gleichzeitig getestet, wobei ein erster Abschnitt des vom Testmuster-Generator erzeugten Testmusters an die interne Logik und ein zweiter Abschnitt der Signatur an die externe Schaltung ausgegeben wird. Sowohl von der internen Logik als auch von der externen Schaltung erhält man die von der Signatur abgeleiteten jeweiligen Abschnitte einer Testantwort, die im gemeinsamen Testantwort-Analysator komprimiert und ausgewertet werden. Durch das gleichzeitige Testen der internen und externen Schaltung verringert sich insbesondere der Zeitaufwand für den Test bei jedem Neu-Einschalten des Systems. Alternativ ist aber auch ein zeitsequenzieller Test der internen Schaltung und der externen Schaltung möglich, wodurch der Flächenbedarf der Selbsttestschaltung in der integrierten Schaltung verringert werden kann.

30

Gemäß einem bevorzugten Ausführungsbeispiel weist die Ausgangsschaltung steuerbare Ein-/Ausgabetreiber zum Senden und Empfangen von bidirektionalen Signalen auf, wodurch die

4

integrierte Schaltung auch in einer Hardwareumgebung getestet werden kann, die beispielsweise eine Busstruktur aufweist. Insbesondere durch die Verwendung einer Steuervorrichtung, die die Treiber der externen Bauelemente steuert, kann eine
5 Zerstörung bzw. Beschädigung der Treiberstufen beim Selbsttest verhindert werden.

Ferner kann gemäß einem weiteren bevorzugten Ausführungsbeispiel die Steuervorrichtung der Selbsttestschaltung derart
10 ausgestaltet sein, daß zwei Testläufe durchgeführt werden, wobei der erste Testlauf einer Initialisierung von nicht definierten Bausteingruppen dient, während der zweite Testlauf dem eigentlichen Test der jeweiligen Bauelemente entspricht. Auf diese Weise können auch Bauelemente mit nicht
15 definierten Anfangspegeln wie zum Beispiel Schreib-Lese-Speicher (RAMS) getestet werden, da sie im ersten Testlauf definiert beschrieben und erst im zweiten Testlauf getestet werden.

20 Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

Figur 1 ein Blockschaltbild einer Baugruppe gemäß einem
25 ersten bevorzugten Ausführungsbeispiel mit einer integrierten Schaltung und einer externen Schaltung;

Figur 2 ein schematisches Blockschaltbild eines in Figur 1 dargestellten Testmuster-Generators;

Figur 3 ein schematisches Blockschaltbild eines in Figur 1
30 dargestellten Testantwort-Analysators;

Figur 4 eine Darstellung zur Veranschaulichung der Aufteilung eines Testmusters in einen ersten Teil für die interne Logik und einen zweiten Teil für die externe Schaltung;

5

Figur 5 ein Blockschaltbild einer Baugruppe gemäß einem zweiten bevorzugten Ausführungsbeispiel mit einer integrierten Schaltung und einer externen Schaltung mit Busstruktur;

- 5 Figur 6 eine Darstellung eines Bustaktsignals der in Figur 5 dargestellten Busstruktur zur Veranschaulichung der Bausteinauswahl; und
- Figur 7 eine Blockdarstellung eines Schreib-Lese-Speichers wie er beispielsweise als externes Bauelement in der
- 10 Busstruktur gemäß Figur 5 verwendet werden kann.

Die Figur 1 zeigt ein Blockschaltbild einer Baugruppe gemäß einem ersten bevorzugten Ausführungsbeispiel, mit einer integrierten Schaltung 1, einer ersten externen Schaltung 14

15 und einer zweiten externen Schaltung 15. Die integrierte Schaltung 1 wird nachfolgend als ASIC 1 bezeichnet, da sie vorzugsweise aus einer anwenderspezifischen integrierten Schaltung (ASIC) besteht. Derartige integrierte Schaltungen sind für die vorliegende Erfindung besonders geeignet, da sie

20 für bestimmte Anwendungsfälle speziell entworfen werden, wobei üblicherweise die Hardware bzw. die externe Beschaltung genau festgelegt ist und in hohen Stückzahlen als Systemboard oder Modul-Baugruppe hergestellt wird.

- 25 Der ASIC 1 besitzt eine interne Logik 2, die aus einer Vielzahl von logischen Gattern besteht und die logische Funktion des ASICs 1 realisiert. Das Bezugszeichen 3 bezeichnet eine eingebaute Selbsttestschaltung (built-in self-test, BIST), die im wesentlichen einen Testmuster-Generator 4
- 30 und einen Testantwort-Analysator 5 aufweist.

Die Figur 2 zeigt ein schematisches Blockschaltbild des Testmuster-Generators 4. Der Testmuster-Generator 4 besteht

beispielsweise aus einem linear rückgekoppelten Schieberegister (LFSR). Hierbei befinden sich eine Vielzahl von Flip-Flops 18 in einer Reihenschaltung, wobei das Ausgangssignal des letzten Flip-Flops an den Eingang des ersten Flip-Flops rückgekoppelt ist. Zur Erzeugung von Pseudo-Random-Vektoren, die als Testmuster 16 verwendet werden, können sich zwischen den jeweiligen Flip-Flops XOR-Gatter 19 befinden, die eine Exklusiv-ODER-Verknüpfung des Ausgangssignals eines jeweiligen Flip-Flops 18 mit dem Ausgangssignal des letzten Flip-Flops ermöglichen. Das aus dieser Exklusiv-ODER-Verknüpfung resultierende Signal wird jeweils dem nachfolgenden Flip-Flop an dessen Eingang zugeführt. Die Ausgänge der seriell verschalteten Flip-Flops 18 dienen als Ausgangssignal und liefern ein Testmuster bzw. eine Testsignatur 16, die einen Pseudo-Random-Vektor darstellt, der bei einer Anzahl von n Flip-Flops $2^n - 1$ Zustände in scheinbar zufälliger aber wiederholbarer Reihenfolge wiedergibt. Ein derartiges Testmuster bzw. eine derartige Testsignatur 16 eignet sich in hervorragender Weise zum Testen von hochkomplexen Logikschaltungen, da es bei entsprechender Testdauer eine außerordentlich hohe Testschärfe aufweist.

Die Figur 3 zeigt ein schematisches Blockschaltbild des zum Testmuster-Generator 4 gemäß Figur 2 dazugehörigen Testantwort-Analysators 5, wie er zur Komprimierung und Auswertung einer Testantwort verwendet wird. Das vom Testmuster-Generator 4 erzeugte Testmuster 16 wird einer zu testenden Schaltung zugeführt und erzeugt dabei an deren Ausgangsanschlüssen eine Testantwort 17. Diese Testantwort 17 wird dem Testantwort-Analysator 5 zugeführt, der gemäß Figur 3 aus einer Vielzahl von seriell verschalteten Flip-Flops 18 besteht und wiederum ein linear rückgekoppeltes Schieberegister (linear-feedback-shift-register, LFSR) aufweist. Der

Testantwort-Analysator 5 ist in einer dem Testmuster-Generator 4 und der zu testenden Schaltung entsprechenden Weise derart aufgebaut, daß er die von der zu testenden Schaltung ausgesendete Testantwort 17 in geeigneter Weise komprimiert und ein den überprüften logischen Funktionen der zu testenden Schaltung entsprechendes Ausgangssignal ausgibt. Auf der Grundlage dieser Ausgangssignale und in Kenntnis der zu erwartenden Ausgangssignale kann bei ausreichend großer Anzahl von Testmustern 16 eine ausreichend hohe Testgenauigkeit bzw. -schärfe zum Erfassen von Fehlern in der zu testenden Schaltung erreicht werden. Die in den Figuren 2 und 3 dargestellten Beispiele für den Testmuster-Generator 4 und den Testantwort-Analysator 5 dienen lediglich der grundsätzlichen Erläuterung für das Erzeugen von geeigneten Testmustern und die Auswertung von entsprechenden Testantworten. Selbstverständlich können die vorstehend beschriebenen Testmuster bzw. Testantworten auch auf andere Weise erzeugt bzw. ausgewertet werden.

Die Besonderheit der vorliegenden Erfindung liegt nunmehr darin, daß ein von dem Testmuster-Generator 4 erzeugtes Testmuster 16 nicht nur an die interne Logik des ASICs 1 ausgegeben wird, sondern darüber hinaus über eine Ausgangsschaltung 7 an die Ausgangsanschlüsse der integrierten Schaltung bzw. des ASICs 1. Im Gegensatz zu einer herkömmlichen integrierten Schaltung mit eingebautem Selbsttest, bei der die Ausgangs- und Eingangsanschlüsse des Bausteins konstant gehalten werden, liegt bei der erfindungsgemäßen integrierten Schaltung 1 zumindest ein Teil des vom Testmuster-Generator 4 erzeugten Testmusters 16 über Ausgangstreiber 9 an den Ausgangsanschlüssen der integrierten Schaltung 1 an.

Die Figur 4 zeigt eine Darstellung zur Veranschaulichung der Aufteilung des Testmusters 16 in einen ersten und zweiten Teil zum Testen der internen Logik 2 und der externen Logik 14. Gemäß Figur 4 besteht die interne Logik 2 des ASICs 1 lediglich aus einem UND-Gatter 20. Die externe Schaltung 14 ist beispielhaft aus einem ODER-Gatter 21 und einem Flip-Flop 22 aufgebaut. Diese sehr vereinfachte Darstellung einer zu testenden Baugruppe soll nachfolgend die Wirkungsweise des erfindungsgemäßen ASICs darstellen. Zum Testen der logischen Funktion des UND-Gatters 20 in der internen Logik 2 des ASICs 1 benötigt man drei Testmuster (11, 01, 10). Mit einem deartigen Testmuster kann die logische Funktion des UND-Gatters 20 vollständig getestet werden. Das in der externen Schaltung befindliche ODER-Gatter 21 kann mit drei Testmustern (01, 10, 00) getestet werden. Für einen Minimaltest des Flip-Flops 22 genügt die Überprüfung der Änderung des logischen Pegels am Ausgang des Flip-Flops 22 in Abhängigkeit vom Taktsignal.

Daraus ergibt sich die in Figur 4 dargestellte Testmusterfolge (011, 001, 010, 1XX) mit der ein Minimaltest der internen Logik 2 sowie der externen Schaltung 14 durchgeführt werden kann. Erfindungsgemäß erzeugt der Testmuster-Generator 4 ein entsprechendes Testmuster, wobei ein erster Teil TM1 des Testmusters 16 der internen Logik 2 bzw. dem UND-Gatter 20 zugeführt wird, während ein zweiter Teil TM2 des Testmusters 16 über einen Ausgangstreiber 9 und den Ausgangsanschluß des ASICs 1 der externen Schaltung 14 bzw. dem ODER-Gatter 21 zugeführt wird. Das Bezugszeichen TA1 stellt hierbei die Testantwort der internen Logik 2 dar, während TA2 die Testantwort der externen Schaltung 14 wiedergibt und über einen Eingangstreiber 9' dem Testantwort-Analysator 5 zugeführt wird. Die von der internen Logik 2 ausgegebene

Testantwort TA1 (1, 0, 0, X) und die von der externen Schaltung 14 ausgegebene Testantwort TA2 (1, 0, 0, 1) ergeben die gesamte Testantwort 17 (11, 00, 00, X1), die dem Testantwort-Analysator 5 zur Auswertung zugeführt wird. Die vom Testantwort-Analysator 5 analysierten Signale werden dabei mit einer zu erwartenden Signalreihenfolge verglichen, wobei bei Übereinstimmung zwischen erwarteter und empfangener Signalreihenfolge ein erfolgreicher Test bzw. Fehlerfreiheit der internen Logik 2 und der externen Schaltung 14 vorliegt.

10

Besteht die externe Schaltung 14 aus einer rein kombinatorischen Schaltung, so ist eine Taktsynchronität und/oder ein definiertes Rücksetzen der externen Bauteile nicht erforderlich. Besteht jedoch die externe Schaltung 14 wie in Figur 4 dargestellt auch aus einem sequenziellen Baustein, d.h. getaktetes Flip-Flop 22 oder dgl., so müssen alle in den Selbsttest einbezogenen Einheiten taktsynchron arbeiten und definiert zurückgesetzt werden. Hierbei muß der ASIC 1 einen Anschluß aufweisen, der ein derartiges definiertes Rücksetzen sowie taktsynchrones Arbeiten ermöglicht.

20

Die Figur 4 zeigt den ASIC 1 in Verbindung mit externen rein kombinatorischen sowie rücksetzbaren sequenziellen Bauelementen, die über unidirektionale Ein-/Ausgangssignale 10/11 mit dem ASIC 1 in Verbindung stehen. Gemäß Figur 1 kann eine externe Schaltung 15, die kombinatorische und/oder sequenzielle Bauelemente aufweist jedoch auch über bidirektionale Signale 12 mit dem ASIC 1 in Verbindung stehen. In diesem Fall muß die Ein-/Ausgangsschaltung 7 steuerbare Ein-/Ausgangstreiber 8 aufweisen, die eine zeitliche Trennung der ausgehenden Testmuster und eingehenden Testantworten ermöglicht. Eine derartige Steuerung wird durch eine Steuervorrichtung 6 realisiert, die vorzugsweise in

30

10

Abhängigkeit von einem Taktsignal der bidirektionalen Signale 12 die Ein-/Ausgangstreiber 8 in der Ein-/Ausgangsschaltung 7 steuert. Darüber hinaus muß die Steuervorrichtung 6 ein Treiber-Freigabesignal über eine Treiberstufe 8' an einen Ausgangsanschluß des ASICs 1 schalten, damit das Treiber-Freigabesignal 13 den Treiber des externen Bauelements zum richtigen Zeitpunkt freigibt. Mit Ausnahme der zeitlichen Unterteilung für das Senden der Signatur und das Empfangen der Testantwort auf einer Signalleitung erfolgt der Selbsttest in gleicher Weise wie vorstehend beschrieben.

In der vorstehend beschriebenen Selbsttestschaltung 3 wurde davon ausgegangen, daß das vom Testmuster-Generator 4 erzeugte Testmuster 16 aufgeteilt und an die interne sowie die externe Logik abgegeben wird. In gleicher Weise ist es jedoch auch möglich eine zeitliche Aufteilung des vom Testmuster-Generator 4 erzeugten Testmusters 16 durchzuführen, wobei in einem ersten Zeitabschnitt das Testmuster vollständig an die interne Logik 2 gesendet wird, während es in einem zweiten Zeitabschnitt vollständig an die externe Schaltung 14 bzw. 15 abgegeben wird. Ebenso ist eine Selbsttestschaltung denkbar, die aus zwei Testmuster-Generatoren und zwei Testantwort-Analysatoren besteht, die jeweils der internen sowie der externen Logik zugeordnet sind. Die Wirkungsweise entspricht jedoch der vorstehend beschriebenen Wirkungsweise.

Die Figur 5 zeigt ein Blockschaltbild einer Baugruppe gemäß einem zweiten bevorzugten Ausführungsbeispiel, wobei der ASIC 1 mit einer Busstruktur 12' der Baugruppe bzw. des Boards in Verbindung steht. Zumindest ein an der Busstruktur 12' angeschlossenes Bauelement stellt ein Bauteil dar, dessen interne Zustände durch ein Rücksetz-Signal nicht auf definierte Werte gebracht werden können. Derartige Bauteile

sind beispielsweise Schreib-Lese-Speicher (RAMS) und dergleichen.

Die Figur 7 zeigt eine Blockdarstellung eines Schreib-Lese-Speichers 23 mit seinen Dateneingängen Din, Adresseingängen ADR, seinem Schreib-Freigabeeingang WE, seinem Baustein-Freigabeeingang CE und seinen Datenausgängen Dout, wie er beispielsweise in der Schaltung gemäß Figur 5 verwendet werden kann.

10

Derartige speichernde Bausteine, deren interne Zustände durch ein Rücksetz-Signal nicht auf einen definierten Pegel gebracht werden können erfordern beim Selbsttest eine gesonderte Behandlung. Erfindungsgemäß erzeugt die Steuervorrichtung 6' des ASICs 1 einen gesonderten Testlauf vor dem eigentlichen Selbsttest bis alle in der externen Schaltung und/oder internen Logik 2 verwendeten Zustände initialisiert sind. Erst nach dieser Initialisierung, bei der beispielsweise in das RAM 23 Daten definiert eingeschrieben werden, erfolgt der eigentliche Selbsttest. Für diese Initialisierung kann das vom Testmuster-Generator 5 erzeugte Testmuster 16 für die Adressierung und die Einschreibung der Daten verwendet werden. Es kann aber auch eine davon unabhängige Initialisierungsschaltung verwendet werden, mit der die jeweiligen Bauelemente 23 vor dem eigentlichen Selbsttest initialisiert werden.

Ein weiteres Problem der in Figur 5 dargestellten Busstruktur ist ein zwischen den Bauelementen 23 auftretender Treiberkonflikt. Bei den heute üblichen CMOS-Treibern der Bausteine muß ein derartiger Treiberkonflikt vermieden werden, um Beschädigungen zu verhindern. Da jedoch bei dem erfindungsgemäßen Selbsttest alle Signale bzw. Testmuster

30

normalerweise mit einer Pseudo-Random-Stimulierung beaufschlagt werden, ist bei einer derartigen zufälligen Ansteuerung eines jeweiligen Treiber-Enable-Signals ein Buskonflikt zu befürchten. Zur Vermeidung dieses Problems darf
5 bei n an einer Busstruktur 12' angeschlossenen Bausteinen ein Baustein nur in jedem 2 x nten Takt seinen Ausgang treiben.

Die Figur 6 zeigt eine zeitliche Darstellung eines Bustaktsignals zur Veranschaulichung der konfliktfreien Ansteuerung
10 einer Vielzahl von Bausteinen in einer Busstruktur. Bei der in Figur 5 dargestellten externen Schaltung mit zwei externen Bausteinen 23 treibt der ASIC 1 nur zu den Takten 0, 6, 12, Der Baustein ① treibt nur in den Takten 2, 8, 14, ... während der Baustein ② nur in den Takten 4, 10, 16 ...
15 seinen Ausgang treibt. Alle ungeraden Takte bleiben zur Vermeidung von Buskonflikten zwischen dem abschaltenden und beginnenden Treiber frei. Für dieses Verfahren muß das Treiber-Steuersignal 13' zum Freigeben des jeweiligen Bausteins 23 der externen Logik zugänglich sein. Dies
20 bedeutet, daß der ASIC 1 eventuell zusätzliche Ausgangsanschlüsse aufweisen muß, um unter Steuerung der Steuervorrichtung 6' die Treiber-Freigabesignale 13' der externen Schaltung zuzuführen.

25 Ein weiteres Problem kann sich für den Fall ergeben, bei dem eine Baugruppe mehrere erfindungsgemäße ASICs bzw. integrierte Schaltungen 1 aufweist. In diesem Fall würden nämlich mehrere integrierte Schaltungen versuchen, einen Selbsttest der externen Schaltung durchzuführen. Dies würde
30 jedoch entweder zu verfälschten Testergebnissen führen oder sogar eine Beschädigung der Treiberstufen in den jeweiligen Bauelementen hervorrufen. Zur Lösung dieses Problems kann daher die Ein-/Ausgangsschaltung gezielt deaktiviert werden,

wodurch das Durchführen eines externen Tests verhindert wird.
Dies bedeutet, daß die Testmuster nicht über die Ein-
/Ausgabetreiber 8 bzw. 9 und die Ausgangsanschlüsse des
Bausteins an die externe Schaltung gesendet werden, womit
5 sich der Baustein wie eine herkömmliche integrierte Schaltung
mit eingebautem Selbsttest verhält.

Die vorliegende Erfindung wurde insbesondere anhand einer
anwenderspezifischen integrierten Schaltung 1 (ASIC) be-
10 schrieben, da eine derartige Schaltung besonders auf die
jeweiligen Anforderungen einer eng begrenzten Anwendung zu-
geschnitten ist. In Kenntnis dieser Anwendung bzw. der Bau-
gruppe in der der ASIC 1 eingesetzt werden soll, kann somit
in einfacher Weise auch ein Selbsttest für die externe
15 Schaltung mit implementiert werden, wodurch bei jedem Neu-
start einer Baugruppe bzw. eines Hardware-Moduls ein
Selbsttest durchgeführt wird und auf äußerst einfache und
kostengünstige Weise ein vollständiges Board getestet wird.

Patentansprüche

1. Integrierte Schaltung mit
einer Vielzahl von logischen Gattern (2) zur Realisierung
5 einer logischen Funktion der integrierten Schaltung (1) und
einer Selbsttestschaltung (3) zum Durchführen eines internen
Selbsttests der Vielzahl von logischen Gattern (2), wobei
die Selbsttestschaltung (3) einen Testmuster-Generator (4)
zum Erzeugen eines Testmusters (16), einen Testantwort-
10 Analysator (5) zum Auswerten einer Testantwort (17) sowie
eine Ein-/Ausgangsschaltung (7) aufweist, mittels der die
Selbsttestschaltung (3) einen logischen Test einer externen
Schaltung (14, 15) durchführt
dadurch gekennzeichnet, daß
15 die Vielzahl von logischen Gattern (2) und die externe
Schaltung (14, 15; 23) gleichzeitig getestet werden, wobei
ein erster Teil (TM1) des Testmusters (16) der Vielzahl von
logischen Gattern (2) und ein zweiter Teil (TM2) über die
Ein-/Ausgangsschaltung (7) der externen Schaltung (14, 15;
20 23) zugeführt wird, während sich die Testantwort (17) aus
einem ersten Teil von Antwortsignalen (TA1) der Vielzahl von
logischen Gattern (2) und aus einem zweiten Teil von Ant-
wortsignalen (TA2) der externen logischen Schaltung (14, 15;
23) ergibt.

25

2. Integrierte Schaltung nach Patentanspruch 1,
dadurch gekennzeichnet, daß
der Testmuster-Generator (4) und der Testantwort-Analysator
(5) aus linear rückgekoppelten Schieberegistern besteht.

30

3. Integrierte Schaltung nach Patentanspruch 1 oder 2,
dadurch gekennzeichnet, daß

15

der Testmuster-Generator (4) Pseudo-Random-Vektoren als Testmuster erzeugt.

4. Integrierte Schaltung nach einem der Patentansprüche 1
5 bis 3,
dadurch gekennzeichnet, daß
die Ein-/Ausgangsschaltung (7) Ein-/Ausgabetreiber (9, 9')
zum Senden und Empfangen von unidirektionalen Signalen (10,
11) zwischen der Selbsttestschaltung (3) und der externen
10 Schaltung (14) aufweist.

5. Integrierte Schaltung nach einem der Patentansprüche 1
bis 4,
dadurch gekennzeichnet, daß
15 die Ein-/Ausgangsschaltung (7) steuerbare Ein-/Ausgabetreiber
(8) zum Senden und Empfangen von bidirektionalen Signalen
(12) zwischen der Selbsttestschaltung (3) und der externen
Schaltung (15) aufweist, wobei eine Steuervorrichtung (6) die
Treiber der Ausgangsschaltung (7) sowie der externen
20 Schaltung (15) steuert.

6. Integrierte Schaltung nach Patentanspruch 5,
dadurch gekennzeichnet, daß
die Steuervorrichtung (6) die Selbsttestschaltung (3) und die
25 Ausgangsschaltung (7) derart steuert, daß in einem ersten
Testzyklus eine Initialisierung der externen Schaltung (15;
23) und in einem zweiten Testzyklus der Selbsttest der
Vielzahl von logischen Gattern (2) sowie der externen
Schaltung (15) durchgeführt wird.

30

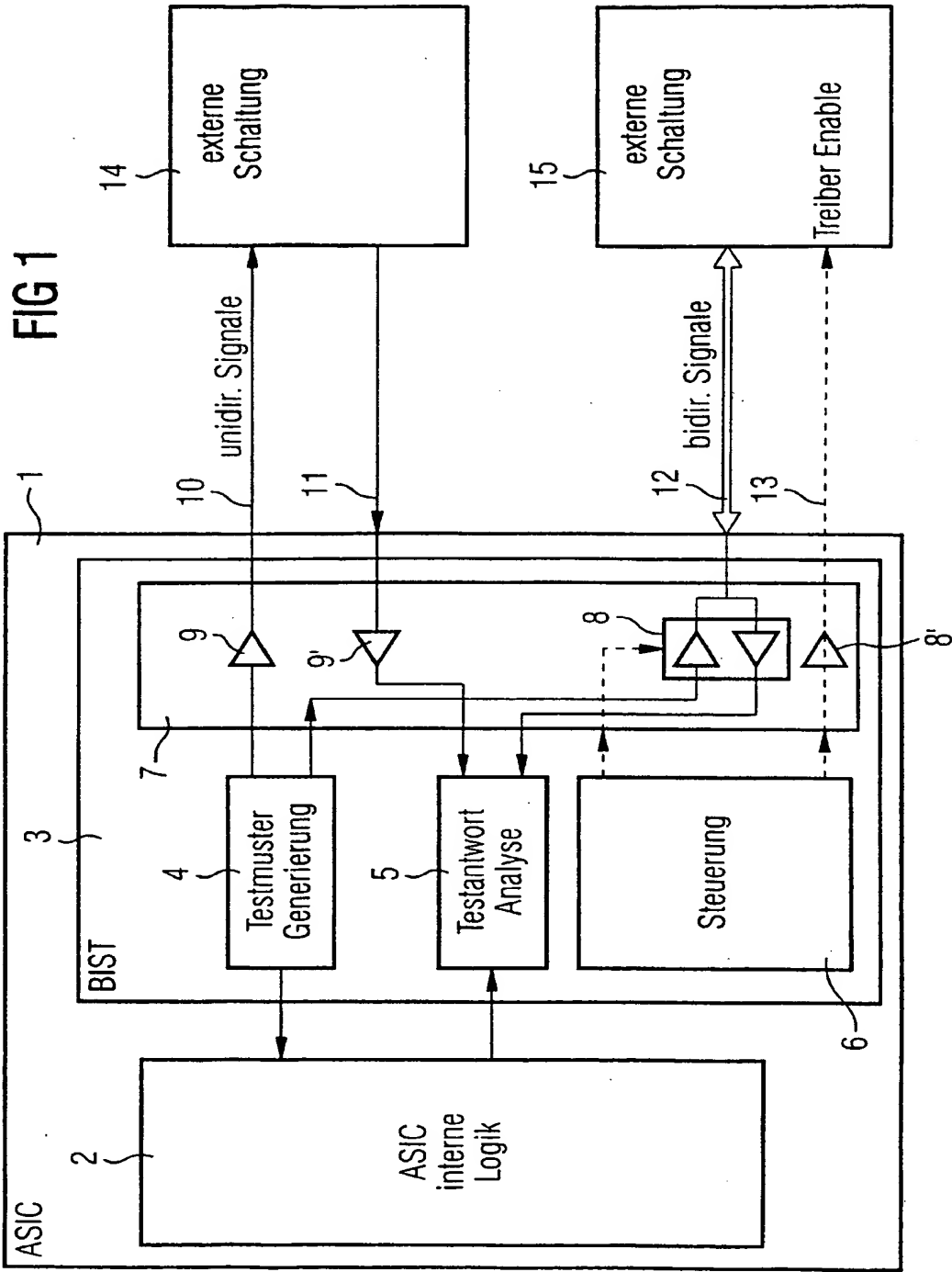
7. Integrierte Schaltung nach Patentanspruch 5 oder 6,
dadurch gekennzeichnet, daß

16

die Ein-/Ausgangsschaltung (7) einen Busanschluß zum Ver-
binden mit einer externen Busstruktur (12') und die Steuer-
vorrichtung eine Bussteuerung (6') aufweist, wobei an der
Busstruktur (12') angeschlossene externe Schaltungselemente
5 (23) selektiv über jeweilige Freigabesignale (13') für einen
Selbsttest ausgewählt werden.

8. Integrierte Schaltung nach Patentanspruch 7,
dadurch gekennzeichnet, daß
10 die Bussteuerung (6') einen Zähler zum Zählen eines Bus-
taktsignals aufweist, wobei die steuerbaren Ausgangstreiber
(8) nur alle geraden Taktzyklen des Bustaktsignals ange-
steuert werden und die jeweiligen Freigabesignale (13')
sequenziell alle ungeraden Taktzyklen des Bustaktsignals zum
15 Freigeben der jeweiligen externen Schaltungselemente (23)
ausgegeben werden.

9. Integrierte Schaltung nach einem der Patentansprüche 1
bis 8,
20 dadurch gekennzeichnet daß
die Ein-/Ausgangsschaltung (7) selektiv deaktivierbar ist.



2/4

FIG 2

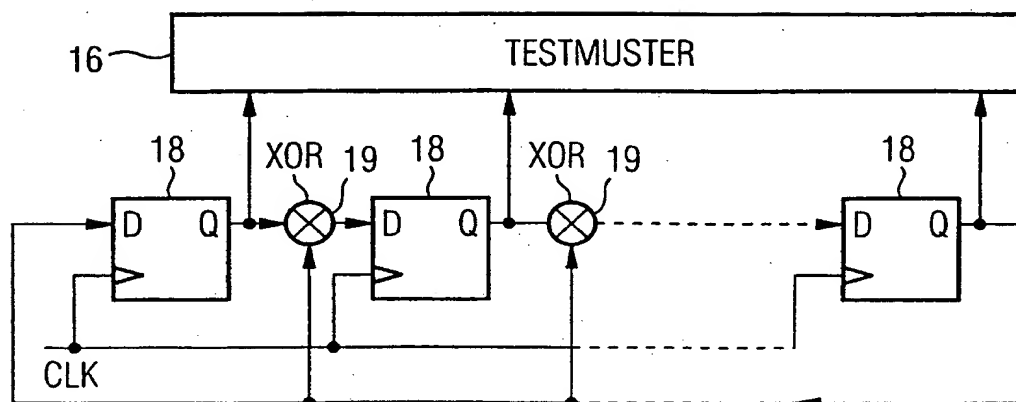
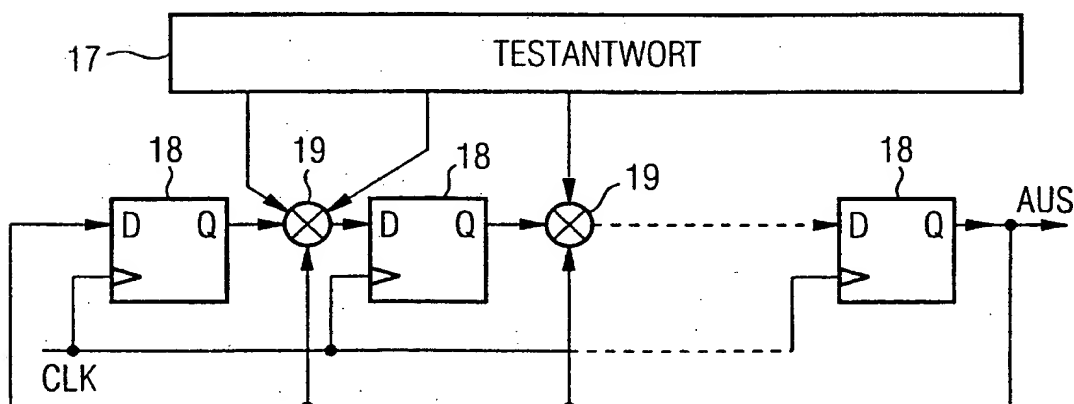


FIG 3



4/4

FIG 5

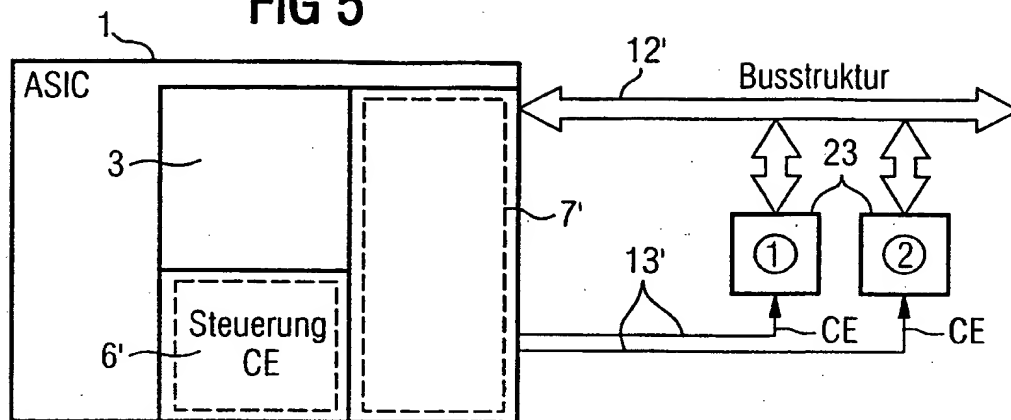


FIG 6

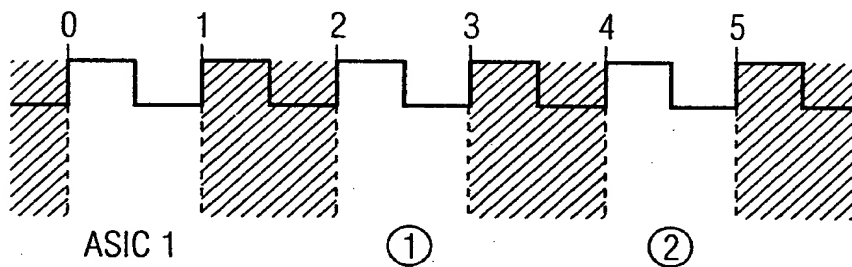
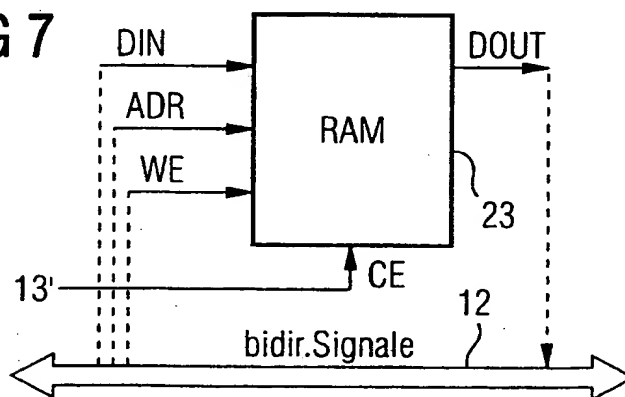


FIG 7



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 99/02130

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G01R31/3185

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 710 934 A (COMTE PIERRE-ALBERT ET AL) 20 January 1998 (1998-01-20) abstract; claim 1	1-9
A	PATENT ABSTRACTS OF JAPAN vol. 1996, no. 09, 30 September 1996 (1996-09-30) & JP 08 125024 A (FUJITSU LTD), 17 May 1996 (1996-05-17) abstract	1-9
A	US 5 781 718 A (NGUYEN VAN MINH) 14 July 1998 (1998-07-14) abstract	1-9

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

24 January 2000

Date of mailing of the international search report

31/01/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Sarasua, L.

INTERNATIONAL SEARCH REPORT

Information on patent family members

Intern. .al Application No

PCT/DE 99/02130

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5710934 A	20-01-1998	FR 2691817 A DE 69315576 D DE 69315576 T EP 0642683 A WO 9324881 A JP 7507407 T	03-12-1993 15-01-1998 09-07-1998 15-03-1995 09-12-1993 10-08-1995
JP 08125024 A	17-05-1996	NONE	
US 5781718 A	14-07-1998	NONE	

INTERNATIONALER RECHERCHENBERICHT

Intern: ☐ des Aktenzeichens

PCT/DE 99/02130

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G01R31/3185

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 G01R

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 710 934 A (COMTE PIERRE-ALBERT ET AL) 20. Januar 1998 (1998-01-20) Zusammenfassung; Anspruch 1	1-9
A	PATENT ABSTRACTS OF JAPAN vol. 1996, no. 09, 30. September 1996 (1996-09-30) & JP 08 125024 A (FUJITSU LTD), 17. Mai 1996 (1996-05-17) Zusammenfassung	1-9
A	US 5 781 718 A (NGUYEN VAN MINH) 14. Juli 1998 (1998-07-14) Zusammenfassung	1-9

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Δ" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

24. Januar 2000

Absenddatum des internationalen Recherchenberichts

31/01/2000

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Sarasua, L.

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 99/02130

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5710934 A	20-01-1998	FR 2691817 A	03-12-1993
		DE 69315576 D	15-01-1998
		DE 69315576 T	09-07-1998
		EP 0642683 A	15-03-1995
		WO 9324881 A	09-12-1993
		JP 7507407 T	10-08-1995
JP 08125024 A	17-05-1996	KEINE	
US 5781718 A	14-07-1998	KEINE	